

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05037515

(43)Date of publication of application: 12.02.1993

(51)Int.Cl.

H04L 7/08

(21)Application number: 03190475

(71)Applicant:

NEC CORP

(22)Date of filing: 31.07.1991

(72)Inventor:

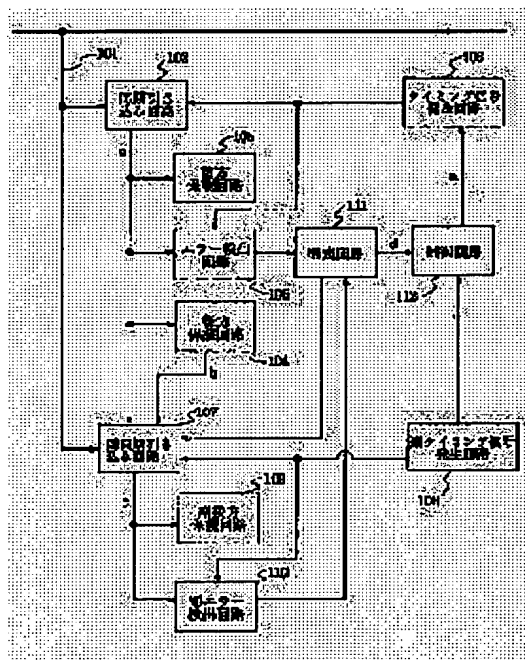
YASUI HIROYUKI

(54) SYNCHRONOUS CIRCUIT

(57)Abstract:

PURPOSE: To attain optimum synchronization control by detecting quickly the state of pseudo synchronization.

CONSTITUTION: A synchronization pulling-in circuit 102 outputs 1st information (a) resulting from retrieving a synchronization bit inserted into an input signal 101 by using the 1st timing signal of a timing signal generating circuit 103. A backward protective circuit 104 outputs synchronization information (b) when the synchronization bit is at the same position consecutively for the prescribed number of times consecutively based on the 1st information (a). A sub synchronization pulling-in circuit 107 outputs it as 2nd information (c) when other synchronization bit is retrieved in the input signal 101 based on the synchronization information (a) and the 2nd timing signal. A decision circuit 111 compares the number of errors detected from the 1st and 2nd pieces of information by error checking circuits 106, 110 and outputs a control instruction (d) when the synchronization pulling-in circuit 102 making the decision is in the pseudo synchronization state. A control circuit 112 controls the phase of the 1st timing signal based on the control instruction (d).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)

[SEARCH](#)

[INDEX](#)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-37515

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl.⁵

H 0 4 L 7/08

識別記号

庁内整理番号

D 8949-5K

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 特願平3-190475

(22)出願日 平成3年(1991)7月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 安井 宏幸

東京都港区芝五丁目7番1号日本電気株式会社内

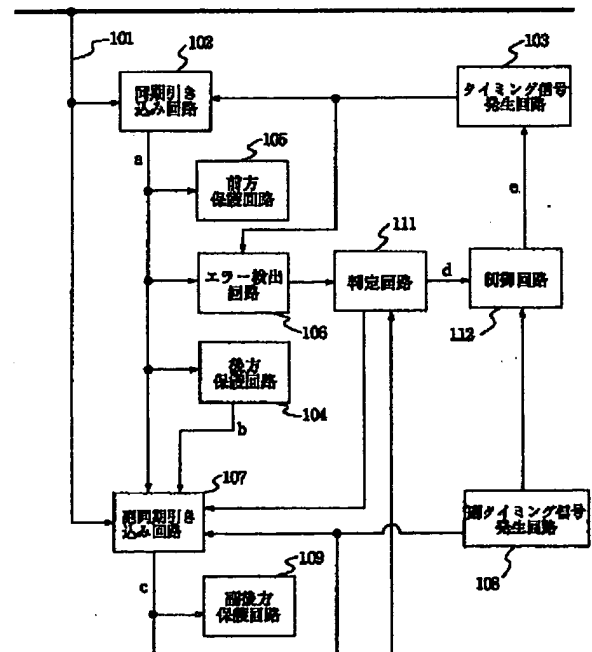
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 同期回路

(57)【要約】

【構成】同期引き込み回路102は入力信号101に挿入されている同期ビットがタイミング信号発生回路103の第1のタイミング信号により検索された第1の情報aを出力する。後方保護回路104は、第1の情報aにより同期ビットが所定回数連続して同じ位置にあるとき同期情報bを出力する。副同期引き込み回路107は、同期情報aと第2のタイミング信号とにより入力信号101の中に他の同期ビットを検索したとき第2の情報cとして出力する。判定回路111は、エラー検出回路106、110が第1と第2の情報から検出した誤りの数を比較し判定した同期引き込み回路102が擬似同期状態にあるとき制御命令dを出力する。制御回路112は、制御命令dにより第1のタイミング信号の位相に制御する。

【効果】擬似同期の状態を迅速に検出し最適な同期制御を行うことができる。



【特許請求の範囲】

【請求項1】 入力信号に挿入されている同期ビットを第1のタイミング信号により検索し第1の情報として出力する同期引き込み回路と、前記第1の情報により前記同期ビットが所定回数連続して同じ位置にあるとき同期情報を出力する後方保護回路と、前記同期情報と第2のタイミング信号により前記入力信号の中に他の前記同期ビットを検索したとき第2の情報として出力する副同期引き込み回路と、前記第1と第2の情報から検出された誤りの数を比較し前記同期引き込み回路が擬似同期状態にあるとき制御命令を出力する判定回路と、前記制御命令により前記第1のタイミング信号を前記第2のタイミング信号の位相に制御する制御回路とを有することを特徴とする同期回路。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は伝送通信における同期回路に関し、特に擬似同期の防止回路を有する同期回路に関する。

【0002】

【従来の技術】 従来、この種の擬似同期防止回路を含んだ同期回路は、伝送路エラー検出回路の出力をトリガーにして同期をはずし、再ハンチング（同期調整）を行うか、伝送路エラー検出回路の出力で副同期回路を動作させ副同期回路が同期をつかまえたところを新たな同期位置とする処理を行っていた。

【0003】

【発明が解決しようとする課題】 上述した従来の同期回路では伝送路エラーをトリガとし擬似同期の検出を行っており、実際の伝送路のエラーと擬似同期とにより2次的に表われたエラーの区別がつかない。そこで擬似同期の検出確率を上げる為、低いエラーレートで同期ビットの再ハンチングを行う様になると実際の伝送路エラーで同期がはずれるという問題がおり、その保護の為にエラー監視の時間を伸ばすと逆になかなか擬似同期から抜けられなくなるという問題点があった。

【0004】

【課題を解決するための手段】 本発明の同期回路は、入力信号に挿入されている同期ビットを第1のタイミング信号により検索し第1の情報として出力する同期引き込み回路と、前記第1の情報により前記同期ビットが所定回数連続して同じ位置にあるとき同期情報を出力する後方保護回路と、前記同期情報と第2のタイミング信号により前記入力信号の中に他の前記同期ビットを検索したとき第2の情報として出力する副同期引き込み回路と、前記第1と第2の情報から検出された誤りの数を比較し前記同期引き込み回路が擬似同期状態にあるとき制御命令を出力する判定回路と、前記制御命令により前記第1のタ

【0005】

【実施例】 次に本発明について図面を参照して説明する。図1は本発明の一実施例のブロック図である。

【0006】 同期引き込み回路102は入力信号101の中に周期的に挿入されている同期ビットをタイミング信号発生回路103から与えられるタイミング信号に従い検索し、その結果の第1の情報aを出力する。

【0007】 後方保護回路104は第1の情報aにより入力信号101中の同期ビットが所定の回数以上連続して同じ位置にあることを確認し同期情報bを出力する。

【0008】 副同期引き込み回路107は同期情報bにより入力信号101中の他に同期ビットの候補がないかを同期引き込み回路102がつかまえた同期ビットの次の位置から副タイミング信号発生回路108から与えられるタイミング信号に従い検索し、その結果の第2の情報cを出力する。判定回路111は、副同期引き込み回路107が新たに同期ビットの候補を見つけ副後方保護回路109で同期ビットの条件を満たすことが確認され、かつ同期引き込み回路102でつかまえている同期ビットと異なる場合にはエラー検出回路106と副エラー検出回路110とで計算したエラーの数を比較する。

【0009】 また、判定回路111はふたつのエラー検出回路の比較結果でエラー検出回路106の方にエラーが多い場合には同期引き込み回路102は擬似同期状態にあると判断し、制御回路112に対して制御命令dを出力する。制御回路112は制御命令dに従い副タイミング信号発生回路108のカウント値eをタイミング信号発生回路103経由で転送し、同期引き込み回路102では副同期引き込み回路107がつかまえている同期ビットを新たな同期位置とするように制御を行う。このとき、前方保護回路105の計数は進まないで、同期はずれがなく、新たな同期位置に移る。

【0010】 また、副エラー検出回路110の方にエラーが多い場合には判定回路111は副同期引き込み回路107に制御をかけ現在つかまえている同期ビットの次の位置から再度同期ビットの検索を行う。

【0011】

【発明の効果】 以上説明したように本発明は、副同期回路が伝送路のエラーに関係なく起動されることにより、擬似同期の状態を迅速に検出することができる。また擬似同期の判定を2つのエラー検出回路の比較で判定の基準に重みづけを行うことにより、伝送路エラーの劣化による同期調整を最適に制御することができる。

【図面の簡単な説明】

【図1】 本発明の一実施例のブロック図である。

【符号の説明】

101 入力信号

105 前方保護回路
 106 エラー検出回路
 107 副同期引き込み回路
 108 副タイミング信号発生回路

109 副後方保護回路
 110 副エラー検出回路
 111 判定回路
 112 制御回路

【図1】

